

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-329725
 (43)Date of publication of application : 19.11.2003

(51)Int.Cl. G01R 31/26
 G01R 1/06
 // G01R 31/28

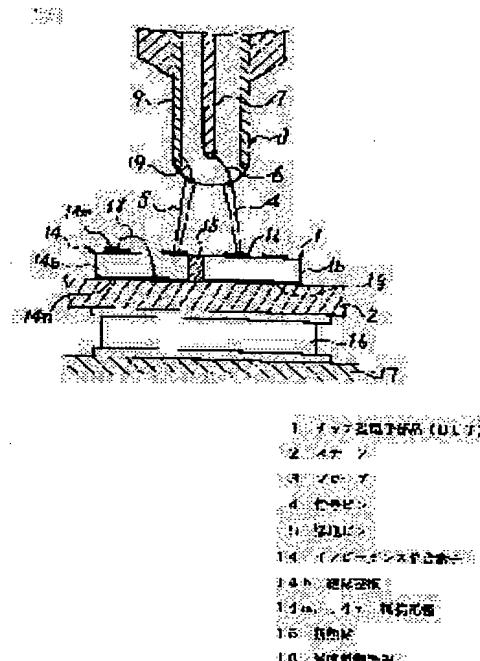
(21)Application number : 2002-132442 (71)Applicant : MITSUBISHI ELECTRIC CORP
 (22)Date of filing : 08.05.2002 (72)Inventor : MURAYAMA HIDEYUKI
 NAKAMURA SATOSHI

(54) TESTING APPARATUS FOR HIGH-FREQUENCY CHARACTERISTIC OF CHIP-TYPE ELECTRONIC COMPONENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a testing apparatus for a high-frequency characteristic which enhances a transmission characteristic of a high-frequency signal and which precisely measures a high-frequency characteristic of a chip-type electronic component, by a method wherein an impedance is matched near the chip-type electronic component as an object to be measured and a rise in an ambient temperature including a probe, and the chip-type electronic component is suppressed effectively.

SOLUTION: The probe 3 is brought into contact with the chip-type electronic component 1 placed on a stage 2, the high-frequency signal is input to the electronic component 1 via the probe 3 from a high-frequency transmission line, and the high-frequency characteristic of the electronic component 1 is tested. An impedance matching element 14 with which the probe 3 comes into contact together with the electronic component 1 is arranged in a position adjacent to the electronic component 1 on the stage 2.



LEGAL STATUS

[Date of request for examination] 06.01.2005

[Date of sending the examiner's decision of rejection] 04.07.2006

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-329725

(P2003-329725A)

(43)公開日 平成15年11月19日 (2003.11.19)

(51)Int.Cl.
G 0 1 R 31/26
1/06
// G 0 1 R 31/28

識別記号

F I
G 0 1 R 31/26
1/06
31/28

テマコート(参考)
J 2 G 0 0 3
E 2 G 0 1 1
K 2 G 1 3 2

審査請求 未請求 請求項の数4 O.L (全6頁)

(21)出願番号 特願2002-132442(P2002-132442)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(22)出願日 平成14年5月8日 (2002.5.8)

(72)発明者 村山 英之

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 中村 聰

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74)代理人 100094916

弁理士 村上 啓吾 (外3名)

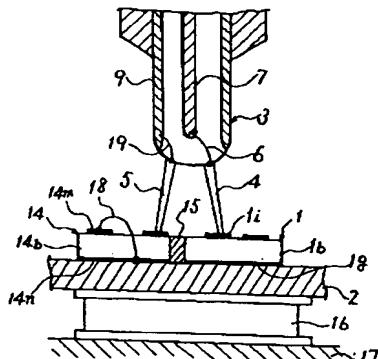
最終頁に続く

(54)【発明の名称】チップ型電子部品の高周波特性試験装置

(57)【要約】

【課題】被測定対象となるチップ型電子部品の近くでインピーダンス整合をとることができ、しかもプローブやチップ型電子部品を含む周辺温度の上昇を有効に抑えることができるようにして、高周波信号の伝送特性を向上するとともに、チップ型電子部品の高周波特性を正確に測定することができる高周波特性試験装置を提供する。

【解決手段】ステージ2上に載置されたチップ型電子部品1にプローブ3を接触し、このチップ型電子部品1に対して高周波伝送路からプローブ3を介して高周波信号を入力して当該チップ型電子部品1の高周波特性を試験するものであって、ステージ2上のチップ型電子部品1に隣接する位置には、プローブ3がチップ型電子部品1と共に接触されるインピーダンス整合素子14が配置されている。



1 チップ型電子部品 (DUT)

2 ステージ

3 プローブ

4 参照ピン

5 接地ピン

14 インピーダンス整合素子

14 b 絶縁基板

14 m, 14 n 銀共電極

15 断熱材

16 保冷剤保持手段

【特許請求の範囲】

【請求項1】ステージ上に載置されたチップ型電子部品にプローブを接触するとともに、このチップ型電子部品に対して高周波伝送路から前記プローブを介して高周波信号を入力して当該チップ型電子部品の高周波特性を試験するチップ型電子部品の試験装置において、前記ステージ上のチップ型電子部品に隣接する位置には、前記プローブがチップ型電子部品と共に接触されるインピーダンス整合素子が配置されていることを特徴とするチップ型電子部品の試験装置。

【請求項2】前記インピーダンス整合素子は、チップ状の絶縁基板を有し、この絶縁基板上にインピーダンス整合用の抵抗電極が形成されていることを特徴とする請求項1記載のチップ型電子部品の高周波特性試験装置。

【請求項3】前記インピーダンス整合素子に隣接して前記チップ型電子部品との間に介在される断熱材が配置されていることを特徴とする請求項1または請求項2に記載のチップ型電子部品の高周波特性試験装置。

【請求項4】前記ステージには、当該ステージの温度を制御する温度制御手段が設けられていることを特徴とする請求項1ないし請求項3のいずれか1項に記載のチップ型電子部品の高周波特性試験装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、チップ型電子部品の高周波特性を試験するための試験装置に関する。

【0002】

【従来の技術】一般に、たとえば半導体レーザや半導体集積回路などのチップ型電子部品においては、たとえば1GHz以上の高周波特性を試験するために、従来より、たとえば図4および図5に示すような高周波特性試験装置が使用されている。

【0003】ここに、図4は従来の高周波特性試験装置の要部の構成を示す断面図、図5は図4に示す部分の等価回路図である。この従来の高周波特性試験装置は、被測定対象となるチップ型電子部品（以下、DUTと称する）がたとえば半導体レーザのようなものであって、このDUTに高周波電力を供給してその高周波特性を試験するために、DUTが載置されるステージ2と、このステージ2上に載置されたDUT1に接触するプローブ3とを有する。

【0004】そして、このプローブ3には、一対の信号ピン4と接地ピン5とが設けられ、信号ピン4は導線6を介して中心導体7に接続され、また、接地ピン5はインピーダンス整合用のマッチング抵抗8を介して外部導体9に接続されている。そして、中心導体7と外部導体9とは、同軸ケーブルなどの高周波伝送路を介して信号発生器（いずれも図示省略）に接続されている。一方、ステージ2は金属等の導電性のものでできており、DUT1が位置決めされてプローブ3の接地ピン5が接触す

るための段差部2aが形成されている。

【0005】DUT1の高周波特性を試験する際には、ステージ2上にDUT1を載置した後、プローブ3を下降してその信号ピン4をDUT1の表面側の入力電極1iに接触させ、また、接地ピン5をステージ2の段差部2aの上部に接触させる。そして、図示しない信号発生器から高周波伝送路を経由してプローブ3の中心導体7、導線6、および信号ピン4を介してDUT1に高周波電力を供給する。

【0006】このとき、電流は、DUT1の表面側の入力電極1iから半導体基板1bを通して裏面側の接地電極1gに流れ、さらにステージ2、接地ピン5、およびマッチング抵抗8を介して外部導体9に導かれる。その際、DUT1が半導体レーザのようなものではDUT1が発光するので、その光を図示しない測定器で受光して周波数特性を測定する。

【0007】ところで、上記の試験装置において、接地ピン5と外部導体9との間に直列にインピーダンス整合用のマッチング抵抗8を設けているのは次の理由による。

【0008】一般的な高周波回路の高周波伝送路は、50Ωになるようにインピーダンス整合がとられているが、DUT1単体の特性インピーダンスは必ずしも50Ωではなく、これよりも小さい場合が多い。そして、DUT1の高周波特性を試験する際に高周波伝送路に対するインピーダンスが整合していないと、反射等の影響により高周波信号の伝送特性が劣化してDUT1の高周波特性を正しく評価できなくなる。このため、マッチング抵抗8とDUT1の内部抵抗10とのインピーダンスの和が高周波伝送路のインピーダンスと一致するように整合をとって上記のような不都合が生じるのを回避している。

【0009】

【発明が解決しようとする課題】しかしながら、従来のように、接地ピン5と外部導体9との間にマッチング抵抗8を接続した構成とした場合には、このマッチング抵抗8がプローブ3の内部に配置されることになるため、次のような不具合が生じている。

【0010】すなわち、プローブ3の先端の狭い箇所にマッチング抵抗8を設けているために、マッチング抵抗8が通電により発熱すると、この発熱を外部に有効に逃すことができず、このためプローブ3の先端が高温になってマッチング抵抗8や導線6を接続するための半田が溶けるなどして断線し易くなる。

【0011】また、プローブ3先端の熱が信号ピン4からDUT1に伝わってDUT1の温度が変化し、そのため、DUT1の電気的特性も変化てしまい、正確な試験を行えなくなる。

【0012】これを改善するために、たとえば、プローブ3から離れた高周波伝送路の途中にマッチング抵抗を

挿入することも考えられるが、そのようにすると、DUT 1 から離れた位置にマッチング抵抗が存在するようになるために、良好なインピーダンス整合がとれず、依然として高周波信号の伝送特性が劣化する。

【0013】本発明は、上記の課題を解決するためになされたもので、DUT の近くでインピーダンス整合をとることができ、しかもプローブやDUT を含む周辺温度の上昇を有効に抑えることができるようにして、高周波信号の伝送特性を向上するとともに、DUT の高周波特性を正確に測定することができる高周波特性試験装置を提供することを目的とする。

【0014】

【課題を解決するための手段】本発明は、上記の目的を達成するために、ステージ上に載置されたチップ型電子部品にプローブを接触するとともに、このチップ型電子部品に対して高周波伝送路から前記プローブを介して高周波信号を入力して当該チップ型電子部品の高周波特性を試験する高周波特性試験装置において、次の構成を採用している。

【0015】すなわち、請求項1記載の発明に係るチップ型電子部品の高周波特性試験装置は、ステージ上に載置されたチップ型電子部品に隣接する位置には、前記プローブがチップ型電子部品と共に接触されるインピーダンス整合素子が配置されていることを特徴としている。

【0016】請求項2記載の発明に係るチップ型電子部品の高周波特性試験装置は、請求項1記載の発明の構成において、前記インピーダンス整合素子は、チップ状の絶縁基板を有し、この絶縁基板上にインピーダンス整合用の抵抗電極が形成されていることを特徴としている。

【0017】請求項3記載の発明に係るチップ型電子部品の高周波特性試験装置は、請求項1または請求項2に記載の発明の構成において、前記インピーダンス整合素子に隣接して前記チップ型電子部品との間に介在される断熱材が配置されていることを特徴としている。

【0018】請求項4記載の発明に係るチップ型電子部品の高周波特性試験装置は、請求項1ないし請求項3のいずれか1項に記載の発明の構成において、前記ステージには、当該ステージの温度を制御する温度制御手段が設けられていることを特徴としている。

【0019】

【発明の実施の形態】実施の形態1. 図1は本発明の実施の形態1に係る高周波特性試験装置の要部の構成を示す断面図、図2は図1に示す部分の等価回路図であり、図4および図5に示した従来技術と対応する構成部分には同一の符号を付す。

【0020】図1および図2において、2はステージ、3はプローブである。ステージ2は金属等の導電性のもので、このステージ2上には、DUT 1 が載置される位置に隣接してインピーダンス整合素子14が配置されるとともに、このインピーダンス整合素子14に隣接して

DUT 1との間に介在されるセラミック等でできた断熱材15が配置されている。なお、インピーダンス整合素子14と断熱材15とはたとえば導電性接着剤などを用いてステージ2上に固定されている。

【0021】また、ステージ2の下側には、当該ステージ2の温度を制御するベルチエ素子等を備えた温度制御手段16が基台17に支持されて設けられている。

【0022】上記のインピーダンス整合素子14は、セラミックスなどでできたチップ状の絶縁基板14bを有し、この絶縁基板14bの表面側と裏面側にはインピーダンス整合用の抵抗電極14m、14nが形成され、両抵抗電極14m、14n間が導線で接続されている。そして、DUT 1の内部抵抗10とインピーダンス整合素子14の各抵抗電極14m、14nの抵抗値の合計がプローブ3に連なる高周波伝送路のインピーダンスに一致するように、抵抗電極14m、14nの抵抗値が設定されている。たとえば高周波伝送路の特性インピーダンスが50Ω、DUT 1の特性インピーダンスが5Ωとすれば、両抵抗電極14m、14nの各抵抗値の合計は4.5Ωに設定されている。

【0023】なお、上下の抵抗電極14m、14n間は導線18で接続する代わりに、絶縁基板14bにスルーホールを形成することにより上下の抵抗電極14m、14n間を接続することも可能である。

【0024】一方、プローブ3には一对の信号ピン4と接地ピン5とが設けられ、信号ピン4は導線6を介して中心導体7に接続され、また、接地ピン5は導線19を介して外部導体9に接続されている。そして、各中心導体7と外部導体9とは、同軸ケーブルなどの高周波伝送路を介して信号発生器（いずれも図示省略）に接続されている。

【0025】上記構成において、DUT 1の高周波特性を試験する際には、DUT 1をステージ2上にインピーダンス整合素子14に隣接させた状態で配置する。その際、インピーダンス整合素子14との間に断熱材15が介在されるようとする。

【0026】次に、プローブ3を下降して信号ピン4をDUT 1の表面側の入力電極1iに接触させ、また、接地ピン5をインピーダンス整合素子14の表面側の抵抗電極14mに接触させる。そして、図外の信号発生器から高周波伝送路を経由してプローブ3の中心導体7、導線6、および信号ピン4を介してDUT 1に高周波電力を供給する。

【0027】このとき、電流は、DUT 1の表面側の入力電極1iから半導体基板1bを通って裏面側の接地電極1gに流れ、さらにステージ2、インピーダンス整合素子14の裏面側の抵抗電極14n、導線18、表面側の抵抗電極14m、接地ピン5、および導線19を介して外部導体9に導かれる。その際、DUT 1がたとえば半導体レーザーのようなものではDUT 1が発光するの

5
で、その光を図示しない測定器で受光して周波数特性を測定する。

【0028】このような試験を行う場合、DUT1とインピーダンス整合素子14の抵抗値の合計がプローブ3に連なる高周波伝送路のインピーダンスに一致するようによめ設定されているので、高周波伝送路とのインピーダンス整合がとれていることになる。しかも、インピーダンス整合素子14はDUT1に近接して配置されているため、DUT1との伝送距離が非常に短くなり、高周波信号の伝送特性が向上する。

【0029】また、DUT1への通電に伴ってインピーダンス整合素子14は発熱するが、その場合、インピーダンス整合素子14は、チップ状の絶縁基板14b上に抵抗電極14m, 14nが形成されているので、抵抗電極14m, 14nの発熱が絶縁基板14bを介して外部に放熱し易くなり、インピーダンス整合素子14の温度上昇そのものが軽減される。

【0030】さらに、インピーダンス整合素子14が配置されるステージ2は熱容量が大きくて放熱性も高いため、試験時にインピーダンス整合素子14が発熱してもDUT1の温度変化が少なくなる。さらに、インピーダンス整合素子14とDUT1との間には断熱材15が介在されているので、インピーダンス整合素子14の熱がDUT1に伝達し難くなる。

【0031】これに加えて、ステージ16には温度制御手段16が設けられているので、インピーダンス整合素子14の発熱によるステージ2およびDUT1の温度変化が抑制される。したがって、プローブ3に流す電流量に影響されることなくDUT1の温度変化を少なくすることができるため、DUT1の高周波特性をさらに一層正確に測定することが可能になる。

【0032】さらにまた、この実施の形態1では、従来のようにプローブ3内に発熱するマッチング抵抗8(図4参照)を設ける必要がなくなるため、プローブ3の先端の各導線6, 19を接続する半田が溶けるなどの不具合がなくなり、プローブ3の寿命が向上する。しかも、50Ωの特性インピーダンスを有する市販のプローブ3を改造することなくそのまま使用することができるため、安価に実施することができる。

【0033】実施の形態2.図3は本発明の実施の形態2に係る高周波特性試験装置の要部の構成を示す断面図であり、図1に示した実施の形態1と対応する構成部分には同一の符号を付す。

【0034】上記の実施の形態1では、DUT1がたとえば半導体レーザのように半導体基板1bの表面と裏面とに入力電極1iと接地電極1gとが形成されている場合であるが、この実施の形態2では、DUT1が半導体集積回路のように半導体基板1bの表面側に入力電極1iと出力電極1oとが形成され、裏面側に接地電極1gが形成されていて、このDUT1の高周波信号の入出力

特性を試験する場合に適用されるものである。

【0035】すなわち、この実施の形態2では、ステージ2上にDUT1を挟むようにして一对のインピーダンス整合用素子14, 14が配置されるとともに、信号入力用と信号出力用の2つのプローブ3in, 3outを備えている。

【0036】この構成において、DUT1の高周波特性を試験する際には、DUT1をステージ2上に配置する。その際、DUT1の裏面側の接地電極1gをステージ2に接触させるとともに、DUT1の両側に断熱材15を介してインピーダンス整合素子14が位置するようになる。

【0037】この状態で、各プローブ3in, 3outを下降して信号入力用のプローブ3inの信号ピン4をDUT1の入力電極1iに接触させ、また、信号出力用のプローブ3outの信号ピン4をDUT1の出力電極1oに接触させる。また、各々のプローブ3in, 3outの接地ピン5をインピーダンス整合素子14の表面側の抵抗電極14mに接触させる。

【0038】そして、国外の信号発生器から高周波伝送路を経由して信号入力用のプローブ3inの中心導体7、導線6、および信号ピン4を介してDUT1の入力電極1iから高周波信号を入力し、これに応じてDUT1の出力電極1oから取り出される高周波信号を信号出力用のプローブ3outの信号ピン4、導線6、中心導体7、および高周波伝送路を介して国外の測定器で測定する。

【0039】その場合、信号入力用のプローブ3inに連なる高周波伝送路については一方(左側)のインピーダンス整合素子14により、信号出力用のプローブ3outに連なる高周波伝送路については他方(右側)のインピーダンス整合素子14によりそれぞれインピーダンス整合がとれており、しかも、各々のインピーダンス整合素子14, 14は共にDUT1に隣接して配置されているため、高周波信号の伝送特性が向上する。その他の構成および作用効果については実施の形態1の場合と同様であるから、ここでは詳しい説明は省略する。

【0040】なお、上記の実施の形態1, 2では、インピーダンス整合素子14として、絶縁基板14bにインピーダンス整合用の抵抗電極14m, 14nを形成したものについて説明したが、このような抵抗電極14m, 14nを形成した構成に限定されるものではなく、コイル電極やコンデンサ電極などインピーダンス整合をとることが可能な電極を形成すれば所期の効果を奏することが可能である。また、本発明は上記の実施の形態1, 2で示した構成に限定されるものではなく、本発明の趣旨を逸脱しない範囲で適宜に変更して実施することができる。

【0041】

50 【発明の効果】本発明のチップ型電子部品の高周波特性

試験装置は、次の効果を奏する。

【0042】(1) 請求項1記載の発明によれば、ステージ上のDUTに隣接してインピーダンス整合素子を配置した構成としたので、従来のようにプローブ内に発熱するマッチング抵抗を設ける必要がなくなる。このため、プローブの先端が高温になってマッチング抵抗や導線を接続する半田が溶けるなどの不具合がなくなり、プローブの寿命が向上する。しかも、 50Ω の特性インピーダンスを有する市販のプローブを改造することなくそのまま使用することができるため、安価に実施することができる。

【0043】また、インピーダンス整合素子が配置されるステージは熱容量が大きくて放熱性も高いため、試験時にインピーダンス整合素子が発熱してもDUTの温度変化が少なくなる。しかも、インピーダンス整合素子はDUTに隣接して配置されているため、DUTとの伝送距離が非常に短くなり、高周波信号の伝送特性が向上する。このため、DUTの高周波特性を正確に測定することができ、その結果、チップ型電子部品の品質が向上する。

【0044】(2) 請求項2記載の発明によれば、請求項1記載の発明の効果に加えて、抵抗素子はチップ状の絶縁基板上にインピーダンス整合用の抵抗電極が形成されているので、抵抗電極の発熱が絶縁基板を介して外部に放熱し易くなり、抵抗素子の温度上昇そのものが軽減される。したがって、DUTの温度変化を抑える上で一層有効となる。

【0045】(3) 請求項3記載の発明によれば、請*

* 求項1または請求項2に記載の発明の効果に加えて、抵抗素子とDUTとの間には断熱材が介在されるため、抵抗素子の発熱がDUTに伝達し難くなり、DUTの温度変化を一層有効に低減することができる。

【0046】(4) 請求項4記載の発明によれば、請求項1ないし請求項3のいずれか1項に記載の発明の効果に加えて、ステージには温度制御手段が設けられていて、抵抗素子の発熱によるステージの温度変化が抑制され、したがって、プローブに流す電流量に影響されることなくDUTの温度変化を少なくすることができる。このため、DUTの高周波特性をさらに一層正確に測定することが可能になる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に係る高周波特性試験装置の要部の構成を示す断面図である。

【図2】 図1に示す部分の等価回路図である。

【図3】 本発明の実施の形態2に係る高周波特性試験装置の要部の構成を示す断面図である。

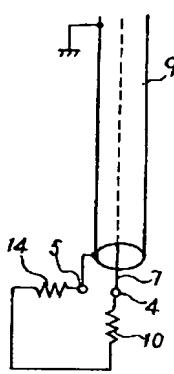
【図4】 従来の高周波特性試験装置の要部の構成を示す断面図である。

【図5】 図4に示す部分の等価回路図である。

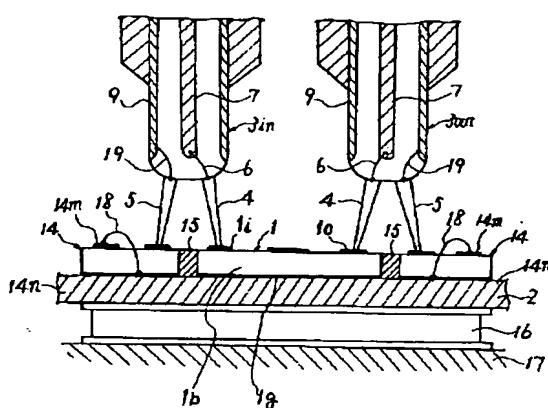
【符号の説明】

1 チップ型電子部品 (DUT)、2 ステージ、3, 3 in, 3 out プローブ、4 信号ピン、5 接地ピン、14 インピーダンス整合素子、14 b 絶縁基板、14 m, 14 n 抵抗電極、15 断熱材、16 温度制御手段。

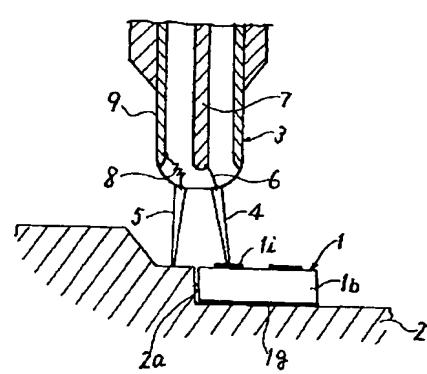
[図2]



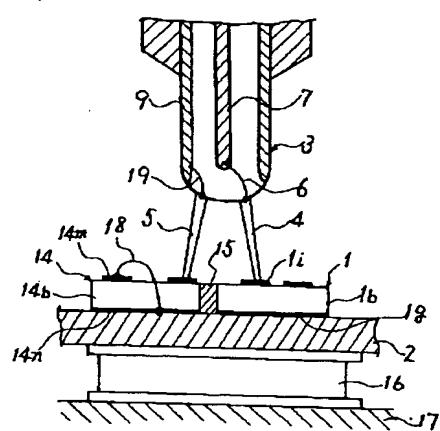
[图3]



[圖 4-1]



【図1】



1 チップ型電子部品 (D U T)

2 ステージ

3 プローブ

4 倍号ピン

5 接地ピン

14 インピーダンス整合素子

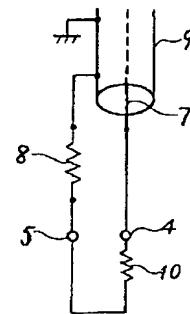
14b 絶縁基板

14m, 14n 抵抗電極

15 断熱材

16 溫度制御手段

【図5】



フロントページの続き

F ターム(参考) 2G003 AA07 AB00 AD01 AG03 AG05
 AH05 AH07
 2G011 AA12 AC32 AE22 AF06
 2G132 AF01 AL18 AL21